

低噪声，双路输出缓冲器/驱动器/电平转换器

特征

- 低噪声缓冲器
- 2个输出电平模式：LVPECL，LVDS
- 输出频率支持300MHz
- 工作电压3.15V到3.45 V
- 3 mm×3 mm DFN-12封装

应用

- 时钟扇出
- 高速ADC/DAC
- 无线通信
- 医疗影像
- 仪器测量

描述

MBUF6957-1/MBUF6957-2是一个系列的低噪声，双路输出缓冲器/驱动器/电平转换器。输入信号可以是正弦波或者其他逻辑电平（小于2V_{p-p}）。目前这个系列分为2种型号如下：

MBUF6957-1：LVPECL输出

MBUF6957-2：LVDS输出

MBUF6957可以低附加抖动得扇出输入逻辑电平，可以将正弦波转化为方波信号。前端放大级中有可配置的滤波功能来优化噪声，同时具有放大信号，提升信号摆率的功能。输入级噪声滤除功能对传输尽可能低相位噪声，低摆率的信号有帮助，比如10MHz正弦波参考源。

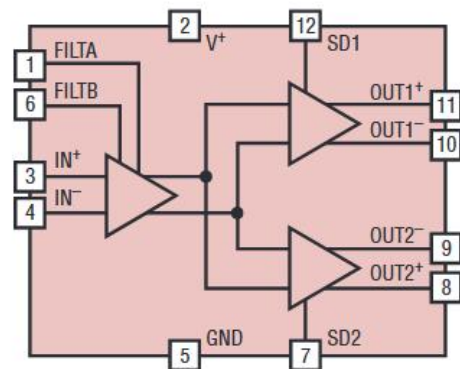


图 芯片简化框图

绝对最大额定值

符号	描述	最小值	最大值	单位
V _{DD}	电源电压	-0.3	3.6	V
V _{IN}	输入电压	-0.3	V _{DD} +0.3	V

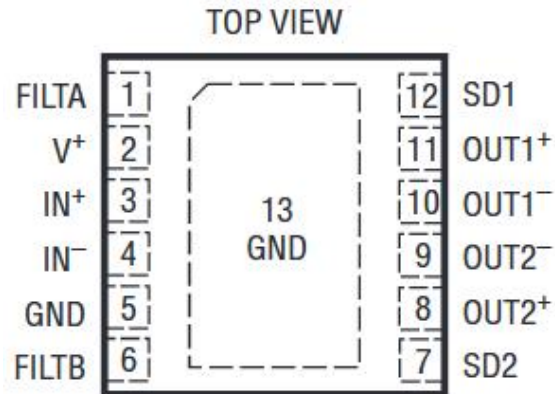
建议工作条件

符号	描述	最小值	典型值	最大值	单位
V _{DD}	电源电压	3.15	3.3	3.45	V
T _A	环境温度	-40	25	85	°C

ESD额定值

符号	描述	条件	额定值	单位
V _{ESD}	静电放电	静电放电人体模型 (HBM)	±2000	V
		静电放电充电设备模型 (CDM)	±1000	V

引脚配置



- (1) MBUF6957-1/MBUF6957-2使用同一种封装
- (2) 芯片中间PAD为散热PAD，需要连接GND

引脚编号	名称	类型	描述
1	FILTA	输入	滤波功能使能引脚
2	V ⁺	电源	电源电压
3	IN ⁺	输入	输入同相端
4	IN ⁻	输入	输入反相端
5	GND	地	地
6	FILTB	输入	滤波功能使能引脚
7	SD2	输入	OUT2输出使能
8	OUT2 ⁺	输出	OUT2输出同相端
9	OUT2 ⁻	输出	OUT2输出反相端
10	OUT1 ⁻	输出	OUT1输出同相端
11	OUT1 ⁺	输出	OUT1输出反相端
12	SD1	输入	OUT1输出使能

电学特性

参数	符号	最小值	典型值	最大值	单位	条件
时钟差分输入						
输入频率	f_{IN}			300	MHz	
输入自偏置电压	V_{INCM}		2.003		V	
输入电阻, 差分	R_{IN}		4		k Ω	
LVPECL输出DC/AC特性						
输出高电平	V_{OH}		2.4		V	交流耦合输出, 负载电阻160 Ω
输出低电平	V_{OL}		1.6		V	
输出差分电压	V_{OD}		670		mV	示波器50 Ω 负载
上升下降时间	t_r/t_f		600		ps	
占空比	dutycycle		50%			
输入输出延迟	Delay		0.6		ns	输入信号 200MHz, 11dBm
输出时钟偏斜	Skew		30		ps	
附加抖动	J_{ADD_LVPECL}		36		fs	频率300MHz, 积分区间12kHz到20MHz
附加抖动	J_{ADD_LVPECL}		73.6		Fs	频率100MHz, 积分区间12kHz到20MHz
功耗						
电源电压	V^+	3.15	3.3	3.45	V	交流耦合, 负载接160 Ω 的电阻
电流功耗			90		mA	两个输出均打开

参数	符号	最小值	典型值	最大值	单位	条件
LVDS输出DC/AC特性						
输出高电平	V_{OH}		1.45		V	
输出低电平	V_{OL}		1.05		V	
输出共模电平	V_{OS}		1.25		V	
输出摆幅	V_{OD}		400		mV	
上升/下降时间			700		ps	
占空比			52%			
V_{OD} 变化范围			41		mV	
V_{OS} 变化范围			30		mV	
输出时钟偏斜			38		ps	
SD1, SD2 反转电压			1.7		V	
延迟			3		ns	FA=FB=SD1=SD2=L
功耗						
电源电压	V^+	3.15	3.3	3.45	V	
电流功耗			50		mA	SD1=L, SD2=L
			40		mA	SD1=H, SD2=L
			30		mA	SD1=H, SD2=H

典型特性

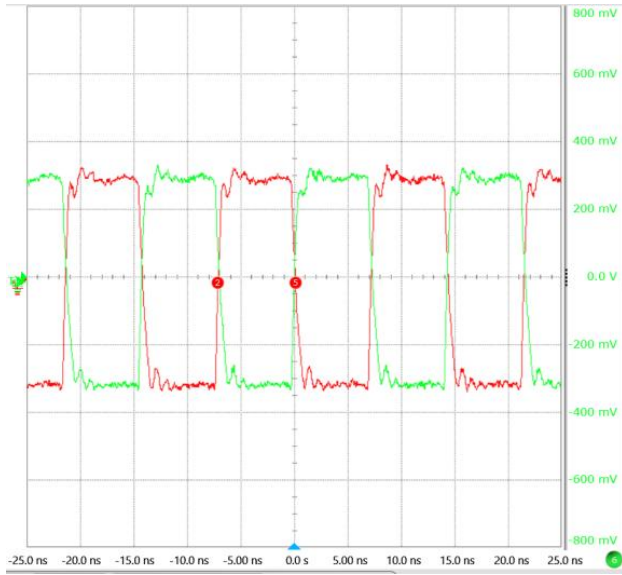


图1. LVPECL 70MHz输出波形

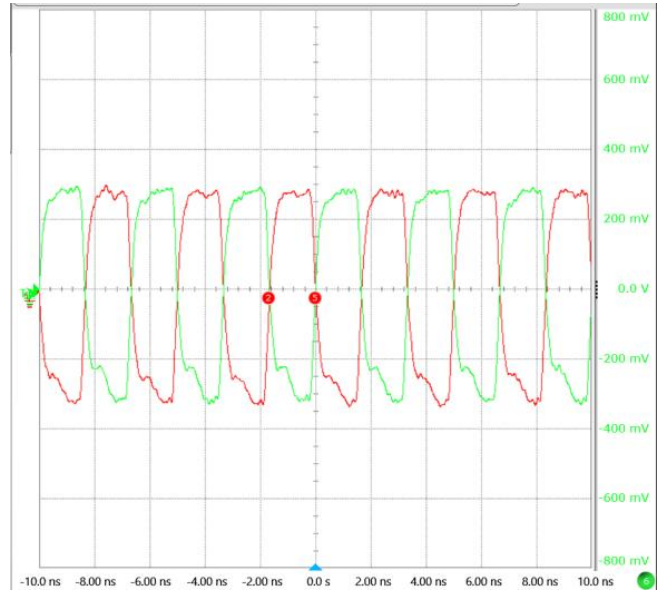


图2. LVPECL 300 MHz输出波形

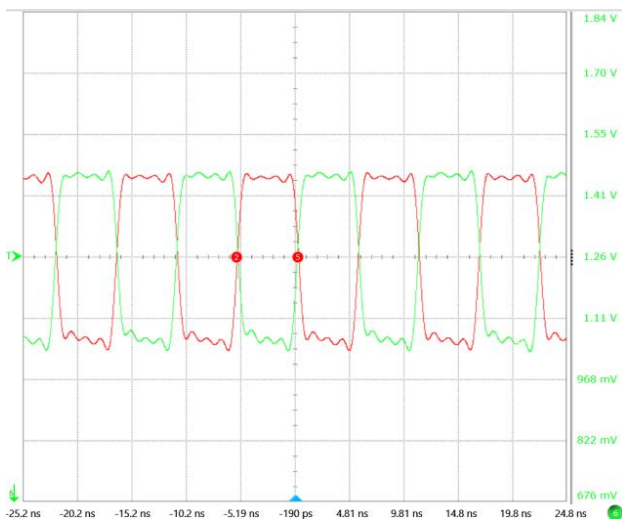


图3. LVDS 80MHz输出波形

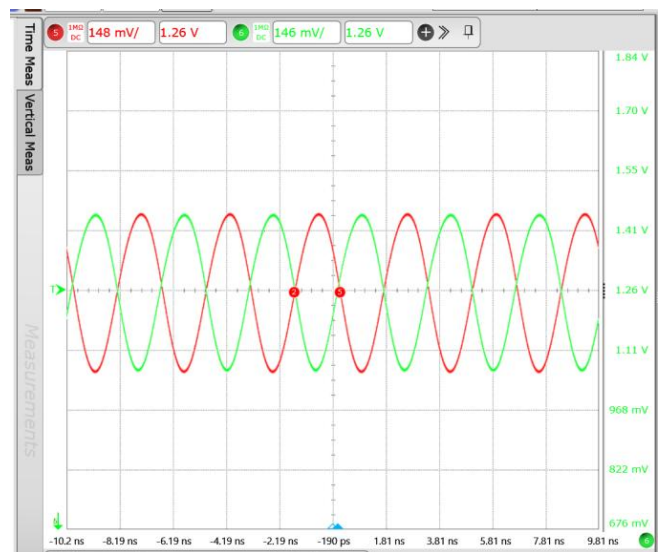
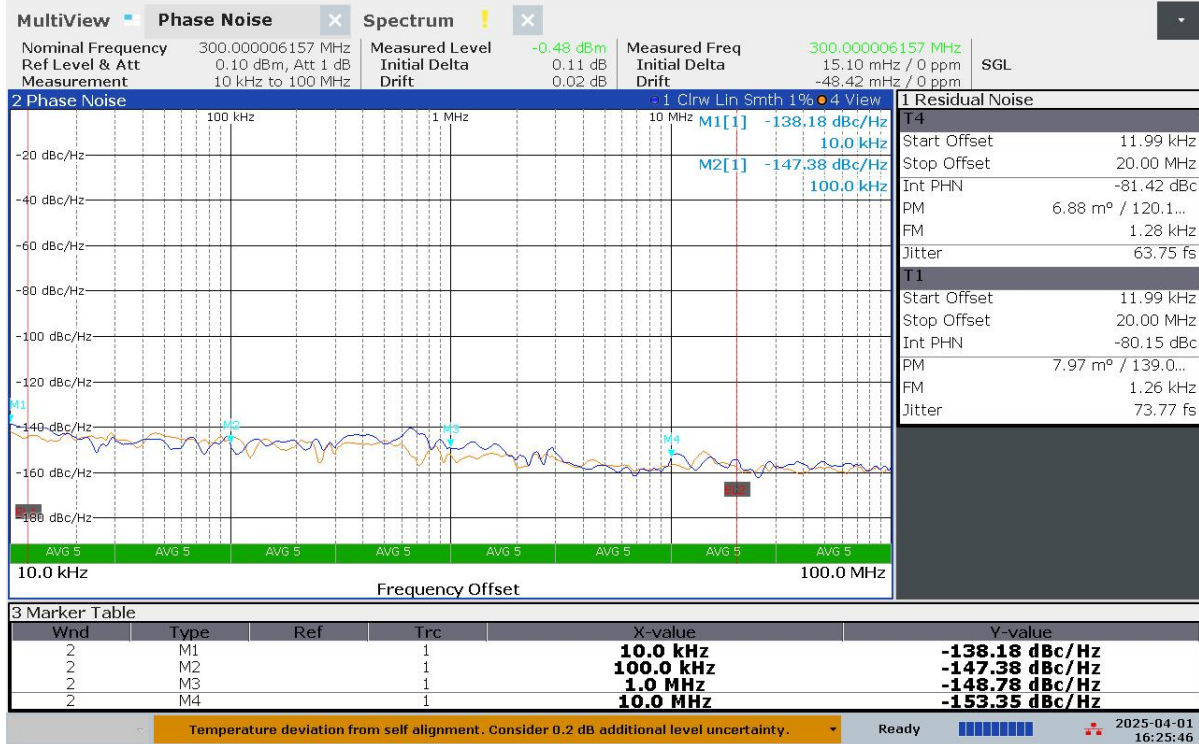
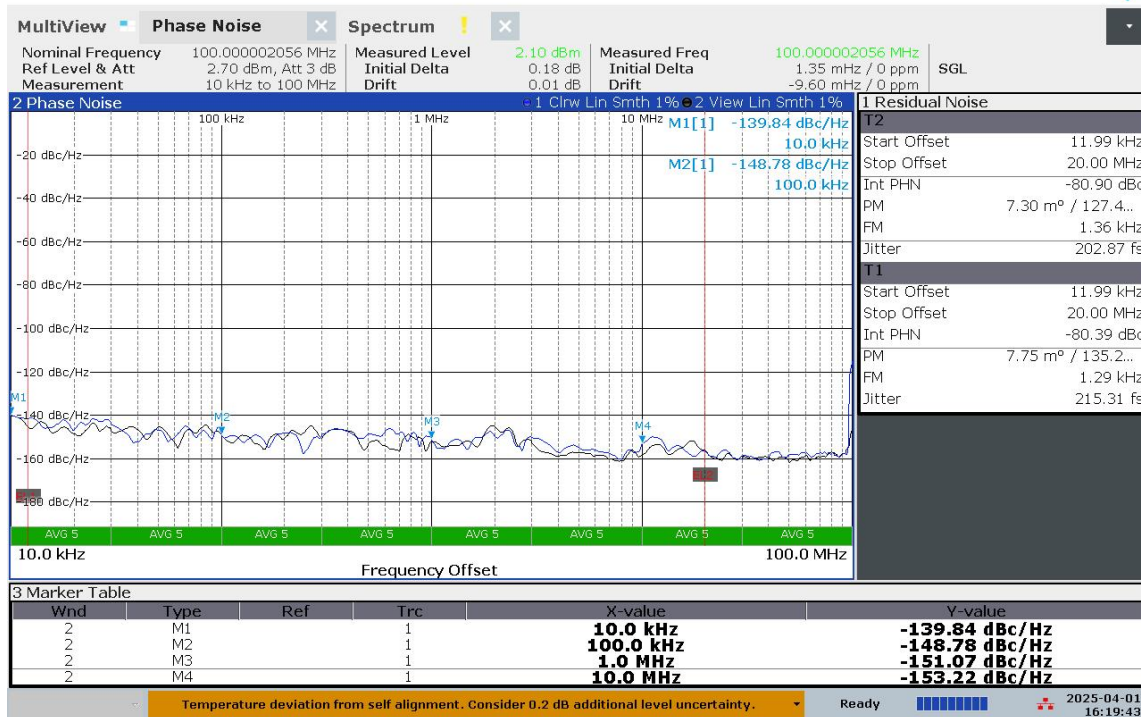


图4. LVDS 300MHz输出波形



04:25:46 PM 04/01/2025

图5. LVPECL输出300MHz输入信号与输出信号相位噪声曲线 (FA=L, FB=L)



04:19:43 PM 04/01/2025

图6. LVPECL在100MHz处输入相位噪声曲线和输出相位噪声曲线 (FA=L, FB=L)

功能描述和应用实现

制作工艺

MBUF6957-1/2基于180nm CMOS工艺设计。

MBUF6957-1的LVPECL的输出

MBUF6957-1可以工作在3.15 V至3.45 V的电源电压下，传统的LVPECL的端接负载是和GND连接，相比较ECL而言，LVPECL更容易实现，不用产生负电压。

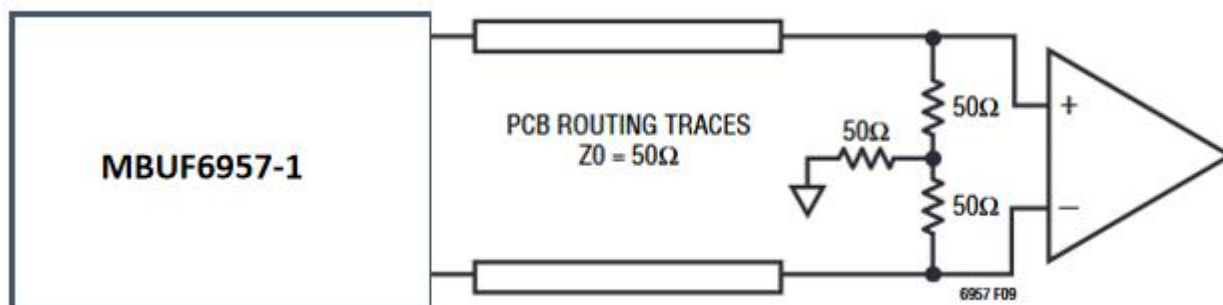


图7. MBUF6957-1 LVPECL输出

如图所示为LVPECL的直流耦合接法，使用三个50欧姆的电阻的Y型连接简化了PCB的设计，同时和PCB传输线进行阻抗匹配，防止反射。

MBUF6957-2的LVDS输出

MBUF6957-2工作在3.15 V至3.45 V，LVDS输出负载要接100-110Ω的电阻来为LVDS电流提供回流路径。

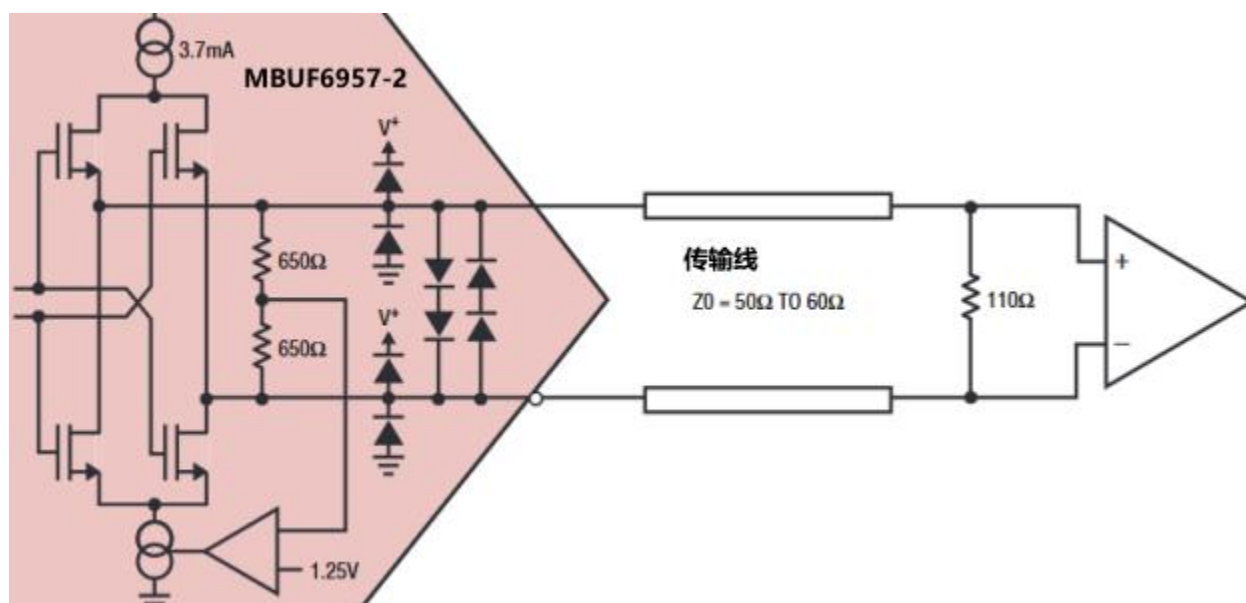


图8. MBUF6957-2 LVDS输出

如图所示，MBUF6957-2使用110欧姆的负载，与传输线Z0阻抗匹配，防止信号发生反射。此为LVDS输出直流耦合电路连接方法。

封装外形

MBUF6957-1/MBUF6957-2均使用DFN-12 (3 mm×3 mm) 的封装

