

带LOS功能的PCIe Gen5/6 扇出缓冲器

特征

- 1:24 扇出系数
- 支持PDT输入功能
- 在时钟丢失时支持自动时钟驻停 (ACP)
- 输入支持HCSL或LVDS电平类型
- 电源电压 $3.3\text{ V} \pm 10\%$
- 支持通过外部SMBus引脚控制输出的摆率
- 支持外部4线SBI协议控制输出使能
- 支持9个SMBus从设备地址设置
- 差分输出阻抗 85Ω

应用

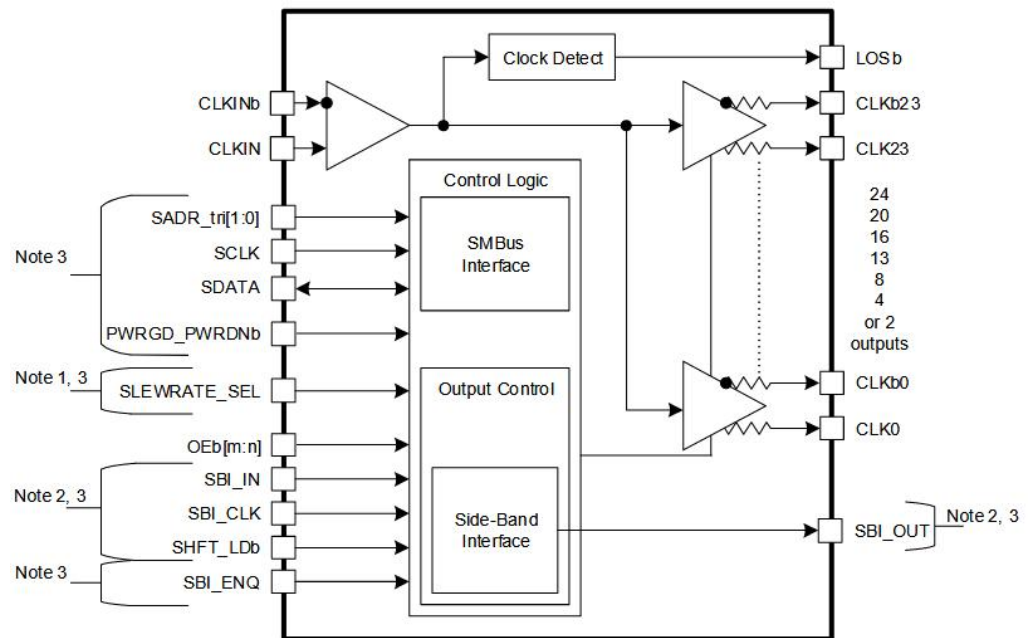
- 云/高性能计算
- nVME存储

- 无线网络
- 加速器

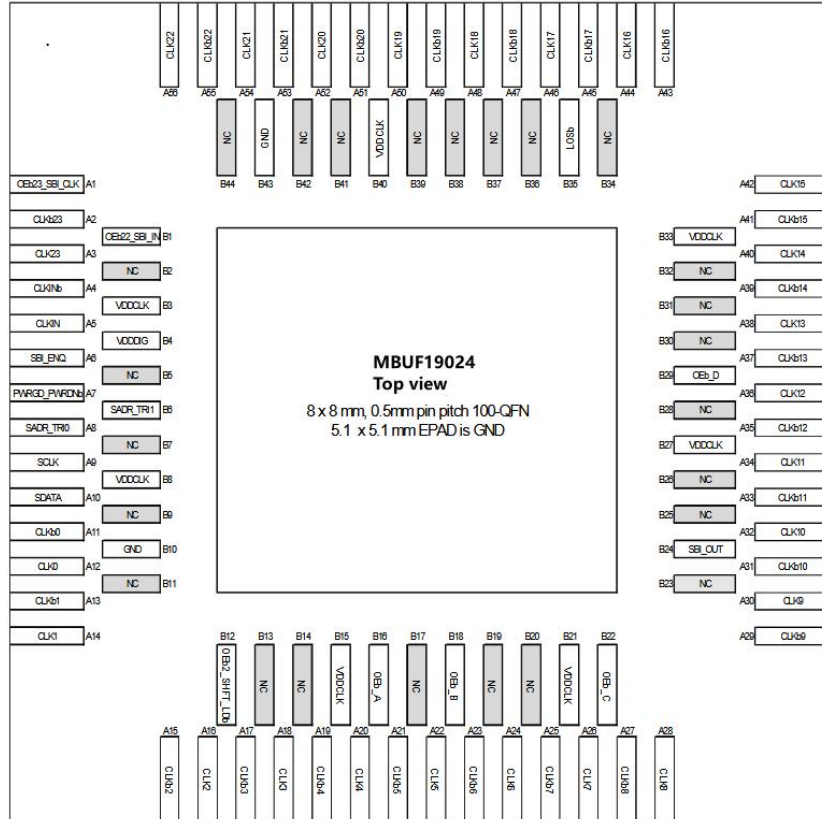
描述

MBUF19024高性能扇出缓冲器支持PCIe Gen5/6。缓冲器提供信号丢失检测功能 (LOS) 用于检测系统的工作情况。设备也支持PDT功能, 简化了系统的设计。设备可以驱动源终端以及双终端负载, 工作频率可达400 MHz。

MBUF19024使用QFN-100 (8mm × 8mm) 的封装。



引脚配置



1. NC: 无电气连接
2. 芯片中间PAD为散热PAD, 需要连接GND

标识	描述
I	输入
O	输出
OD	开漏
I/O	双向端口
PD	下拉
PU	上拉
Z	三态
D	驱动
X	无功能
SE	单端
DIF	差分
PWR	3.3 V电源
GND	地
PDT	断电保护引脚: 这类引脚当电源断电时可以被驱动

引脚编号	名称	类型	描述
A1	OEb23_SBI_CLK	I,SE,PD,PDT	低电平有效，CLK23输出使能或SBI移位寄存器时钟引脚。这个引脚被SBEN或SBI_ENQ引脚 OE模式： 0：输出使能开启 1：输出使能关闭 SBI模式： 在时钟上升沿输入SBI数据
A2	CLK23b	O,DIF	时钟输出反相端23
A3	CLK23	O,DIF	时钟输出同相端23
A4	CLKINb	I,DIF,PDT	时钟输入反相端
A5	CLKIN	I,DIF,PDT	时钟输入同相端
A6	SBI_ENQ	I,SE,PD,PDT	OE与SBI选择功能 0：SBI使能关闭，相关引脚作为输出使能功能 1：SBI使能开启，相关引脚作为SBI控制引脚
A7	PWRGD_PWRDNb	I,SE,PD,PDT	断电模式 0：断电模式关闭 1：断电模式开启
A8	SADR_tri0	I,SE,PD,PU	SMBus地址位低位
A9	SCLK	I,SE,PDT	SMBus接口时钟引脚
A10	SDAT	I/O,OD,PDT	SMBus接口数据引脚
A11	CLK0b	O,DIF	时钟输出反相端0
A12	CLK0	O,DIF	时钟输出同相端0
A13	CLK1b	O,DIF	时钟输出反相端1
A14	CLK1	O,DIF	时钟输出同相端1
A15	CLK2b	O,DIF	时钟输出反相端2
A16	CLK2	O,DIF	时钟输出同相端2
A17	CLK3b	O,DIF	时钟输出反相端3
A18	CLK3	O,DIF	时钟输出同相端3
A19	CLK4b	O,DIF	时钟输出反相端4
A20	CLK4	O,DIF	时钟输出同相端4
A21	CLK5b	O,DIF	时钟输出反相端5
A22	CLK5	O,DIF	时钟输出同相端5
A23	CLK6b	O,DIF	时钟输出反相端6
A24	CLK6	O,DIF	时钟输出同相端6
A25	CLK7b	O,DIF	时钟输出反相端7
A26	CLK7	O,DIF	时钟输出同相端7
A27	CLK8b	O,DIF	时钟输出反相端8
A28	CLK8	O,DIF	时钟输出同相端8
A29	CLK9b	O,DIF	时钟输出反相端9
A30	CLK9	O,DIF	时钟输出同相端9
A31	CLK10b	O,DIF	时钟输出反相端10
A32	CLK10	O,DIF	时钟输出同相端10
A33	CLK11b	O,DIF	时钟输出反相端11
A34	CLK11	O,DIF	时钟输出同相端11

A35	CLK12b	O,DIF	时钟输出反相端12
A36	CLK12	O,DIF	时钟输出同相端12
A37	CLK13b	O,DIF	时钟输出反相端13
A38	CLK13	O,DIF	时钟输出同相端13
A39	CLK14b	O,DIF	时钟输出反相端14
A40	CLK14	O,DIF	时钟输出同相端14
A41	CLK15b	O,DIF	时钟输出反相端15
A42	CLK15	O,DIF	时钟输出同相端15
A43	CLK16b	O,DIF	时钟输出反相端16
A44	CLK16	O,DIF	时钟输出同相端16
A45	CLK17b	O,DIF	时钟输出反相端17
A46	CLK17	O,DIF	时钟输出同相端17
A47	CLK18b	O,DIF	时钟输出反相端18
A48	CLK18	O,DIF	时钟输出同相端18
A49	CLK19b	O,DIF	时钟输出反相端19
A50	CLK19	O,DIF	时钟输出同相端19
A51	CLK20b	O,DIF	时钟输出反相端20
A52	CLK20	O,DIF	时钟输出同相端20
A53	CLK21b	O,DIF	时钟输出反相端21
A54	CLK21	O,DIF	时钟输出同相端21
A55	CLK22b	O,DIF	时钟输出反相端22
A56	CLK22	O,DIF	时钟输出同相端22
B1	OEB22_SBI_IN	I,SE,PD,PDT	此引脚的作用由SBI_ENQ控制，当SBI_ENQ为0时，作为CLK22的使能引脚使用，当SBI_ENQ为1时，作为SBI数据位使用
B2	NC	NC	无电气连接
B3	VDDCLK	PWR	时钟电源
B4	VDDDIG	PWR	数字电源
B5	NC	NC	无电气连接
B6	SADR_tri1	I,SE,PD,PU	SMBus地址位高位
B7	NC	NC	无电气连接
B8	VDDCLK	PWR	时钟电源
B9	NC	NC	无电气连接
B10	GND	GND	低
B11	NC	NC	无电气连接
B12	OEB2_SHFT_LDb	I,SE,PD,PDT	此引脚的作用由SBI_ENQ控制，当SBI_ENQ为0时，作为CLK2的使能引脚使用，当SBI_ENQ为1时，作为SBI的移位功能使用
B13	NC	NC	无电气连接
B14	NC	NC	无电气连接
B15	VDDCLK	PWR	时钟电源
B16	OEB_A	I,SE,PD,PDT	A组输出使能控制引脚，低电平有效 0: 输出使能开启 1: 输出使能关闭
B17	NC	NC	无电气连接
B18	OEB_B	I,SE,PD,PDT	B组输出使能控制引脚，低电平有效 0: 输出使能开启 1: 输出使能关闭

B19	NC	NC	无电气连接
B20	NC	NC	无电气连接
B21	VDDCLK	PWR	时钟电源
B22	OEb_C	I,SE,PD,PDT	C组输出使能控制引脚，低电平有效 0：输出使能开启 1：输出使能关闭
B23	NC	NC	无电气连接
B24	SBI_OUT	O,SE	SBI接口数据输出端
B25	NC	NC	无电气连接
B26	NC	NC	无电气连接
B27	VDDCLK	PWR	时钟电源
B28	NC	NC	无电气连接
B29	OEb_D	I,SE,PD,PDT	D组输出使能控制引脚，低电平有效 0：输出使能开启 1：输出使能关闭
B30	NC	NC	无电气连接
B31	NC	NC	无电气连接
B32	NC	NC	无电气连接
B33	VDDCLK	PWR	时钟电源
B34	NC	NC	无电气连接
B35	LOSb	O,OD,PDT	LOS功能输出端，此引脚为开漏结构，在使用的时候要求外部有上拉电阻以实现合适的功能。输出为低时候说明电路中没有时钟信号。
B36	NC	NC	无电气连接
B37	NC	NC	无电气连接
B38	NC	NC	无电气连接
B39	NC	NC	无电气连接
B40	VDDCLK	PWR	时钟电源
B41	NC	NC	无电气连接
B42	NC	NC	无电气连接
B43	GND	GND	低
B44	NC	NC	无电气连接
N/A	EPAD	GND	散热PAD，连接GND

电学特性

参数	符号	最小值	典型值	最大值	单位	条件
时钟差分输入						
输入摆幅	VID	100			mV	
输入共模	VCM	0.1		2	V	
LP-HCSL输出DC/AC特性						
输出高电平	VOH		800		mV	
输出低电平	VOL		0		mV	
输出摆幅	VOD		800		mV	
输出上升时间	tr		1.1		ns	2pF电容负载
输出下降时间	tf		1.7		ns	2pF电容负载
占空比	Duty-cycle	45	50	55	%	
输出摆率	SRout		0.6		V/ns	单端输出信号摆率
功耗						
电源电压	Vdd		3.3		V	电源电压可以上浮10%
待机功耗	Ipd		40		mA	PD引脚置为“1”
无信号输入功耗	I _{0Hz}		50		mA	无信号输入时的电流消耗
工作电流	I _{dd}		200		mA	50MHz频率
			220			100MHz频率
			250			156.25MHz频率
			290			290MHz频率

典型特性

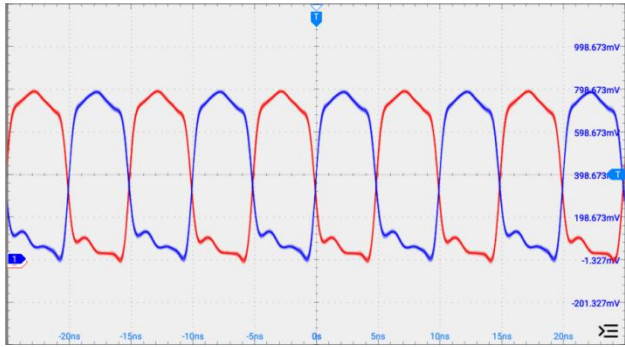


图1 LP-HCSL 100 MHz输出波形

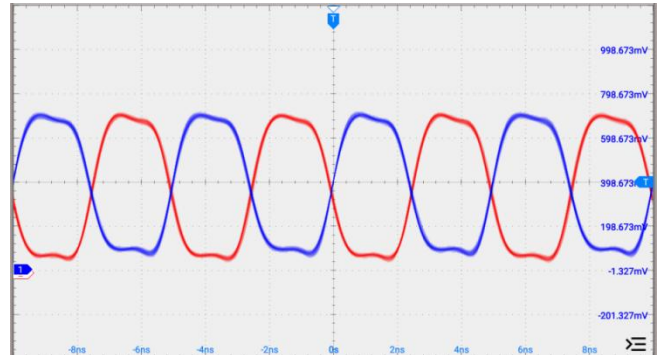


图2 LP-HCSL 200 MHz输出波形

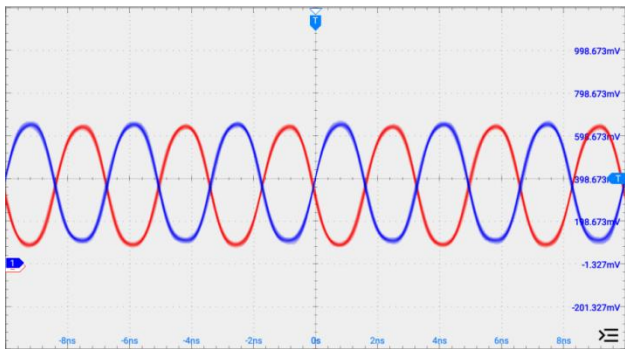


图3 LP-HCSL 300 MHz输出波形

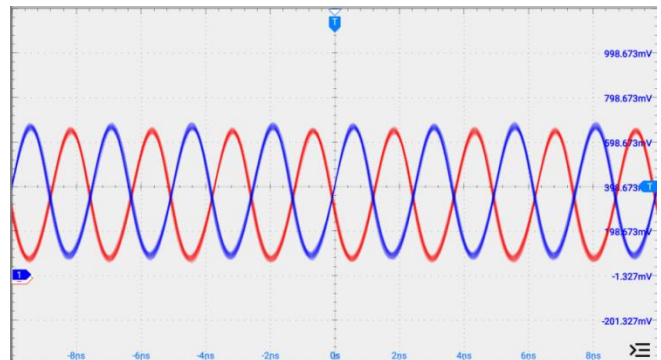


图4 LP-HCSL 400 MHz输出波形

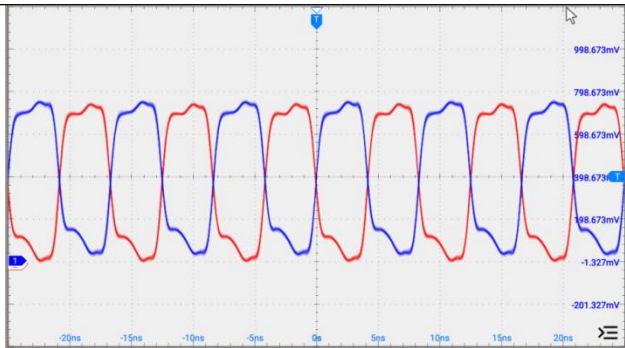


图5 LP-HCSL 120 MHz输出波形

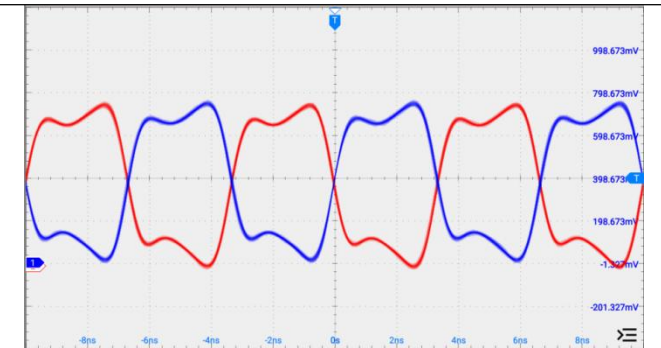


图6 LP-HCSL 150 MHz输出波形

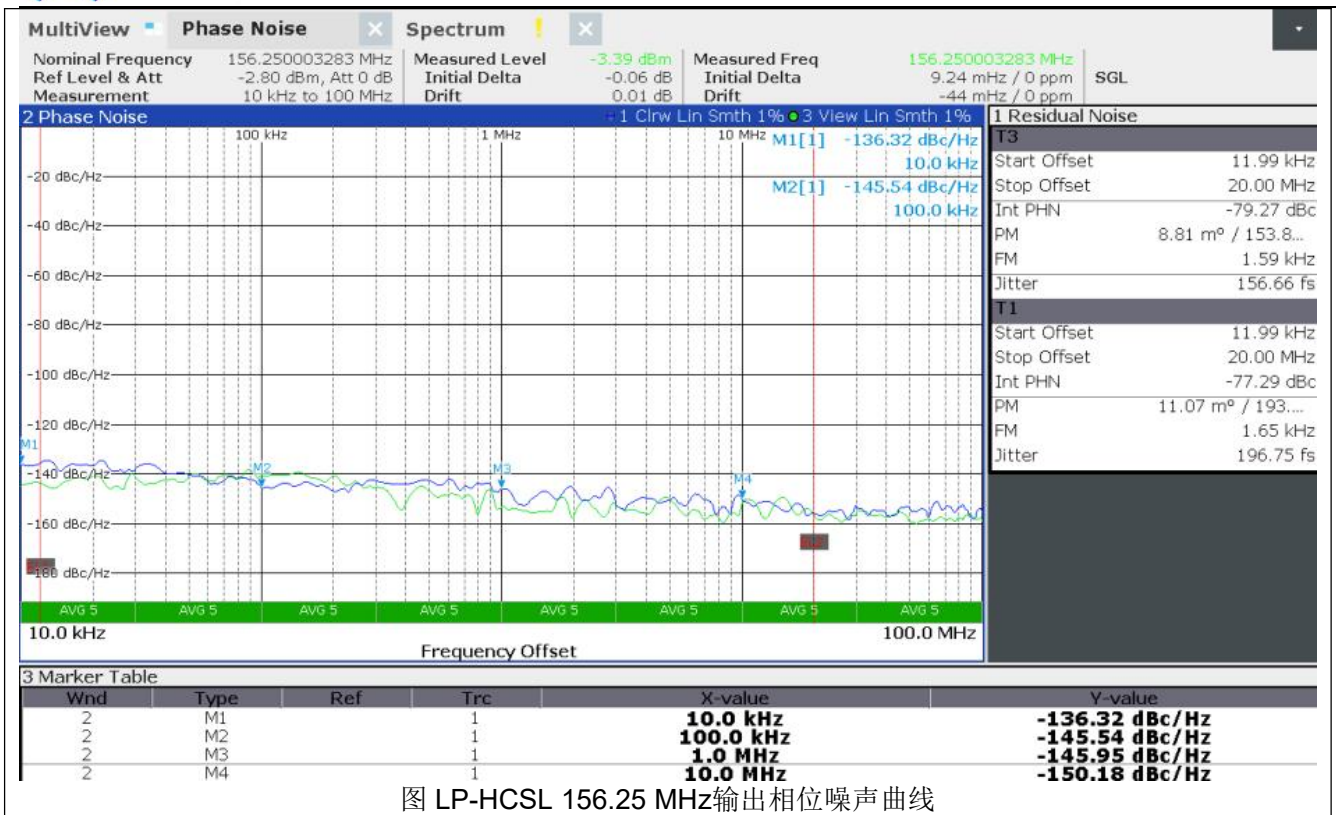


图 LP-HCSL 156.25 MHz输出相位噪声曲线

封装

MBUF19024使用QFN-100（8 mm×8 mm）的封装

