

双路1:6低附加抖动LVDS缓冲器

特征

- 双路1:6差分缓冲器
- 在积分区间10kHz至20MHz的低附加抖动 < 300 fs RMS
- 低的输出偏斜45 ps (最大)
- 可接受通用输入LVDS, LVPECL, LVC MOS
- 每路输入扇出6路输出
- 总共有12路LVDS输出, 符合ANSI EIA/TIA-644A标准
- 时钟频率最高800MHz
- 2.375-2.625 V电源电压供电
- LVDS参考电压, V_{AC_REF} , 可用于交流耦合输入
- 温度范围: -55°C 至 125°C
- 封装使用QFN40, $6\text{mm} \times 6\text{mm}$
- ESD保护等级2kV HBM, 1kV CDM

应用

- 通信/网络
- 医疗影像
- 仪器仪表
- 无线通信
- 通用时钟

描述

MBUFLVD2106时钟缓冲器可以将两路输入时钟 (IN0, IN1) 扇出成12个LVDS差分输出 (OUT0, OUT11)。每一路时钟包含8个LVDS输出, 输入电平支持LVDS, LVPECL, 或者LVC MOS输入。MBUFLVD2106制作工艺为CMOS 180nm制程。

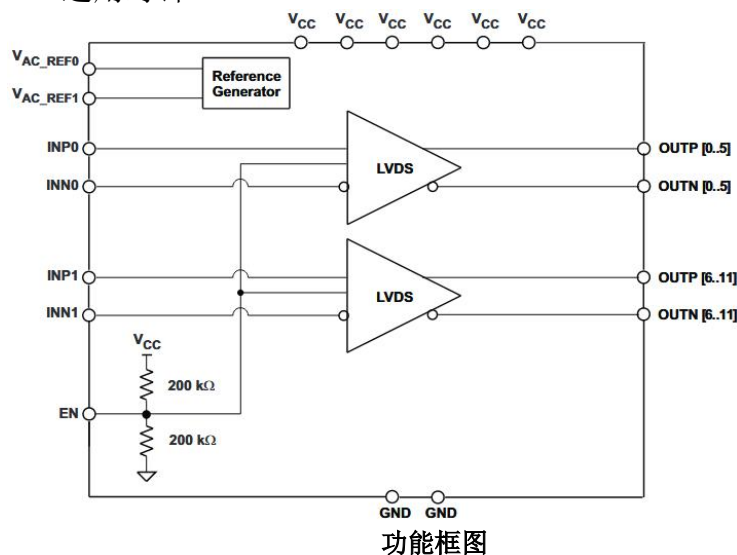
MBUFLVD2106有专门的用于驱动 $50\ \Omega$ 传输线的设计, 如果使用单端信号驱动输入, 没有使用的反相端可以偏置到固定的电压 (V_{AC_REF})。

支持使用控制引脚 (EN) 来控制输出使能或关闭, 如果EN开路, 则输出全部打开, 如果EN为逻辑“0”则输出全部关闭, 如果EN为逻辑“1”则OUT6-OUT11关闭, OUT0-OUT5开启。芯片支持故障安全功能。

MBUFLVD2106芯片工作在2.5 V电源电压下, 使用40引脚, $6\text{mm} \times 6\text{mm}$ 的QFN封装。

芯片封装信息

型号	封装	尺寸
MBUFLVD2106	QFN-40	6 mm × 6 mm



引脚配置

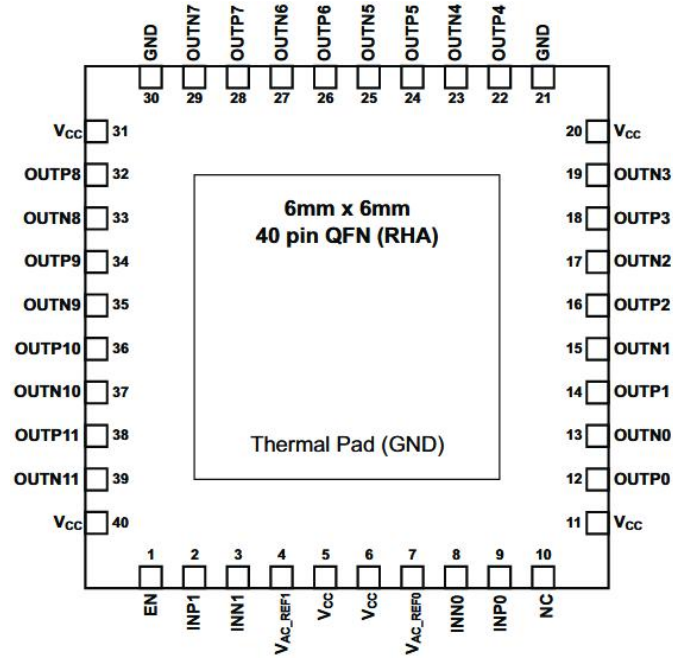


图 MBUFLVD2106引脚配置图

引脚配置表

名称	序号	类型	描述	
V _{CC}	5, 6, 11, 20, 31, 40	电源	给芯片供电2.5 V电源电压	
GND	21, 30	地	芯片地	
INP0, INN0	9, 8	输入	差分输入对或者单端输入IN0	
INP1, INN1	2, 3	输入	差分输入对或者单端输入IN1	
OUTP0, OUTN0	12, 13	输出	差分LVDS输出对OUT0	INP0/INN0为输入
OUTP1, OUTN1	14, 15	输出	差分LVDS输出对OUT1	
OUTP2, OUTN2	16, 17	输出	差分LVDS输出对OUT2	
OUTP3, OUTN3	18, 19	输出	差分LVDS输出对OUT3	
OUTP4, OUTN4	22, 23	输出	差分LVDS输出对OUT4	
OUTP5, OUTN5	24, 25	输出	差分LVDS输出对OUT5	
OUTP6, OUTN6	26, 27	输出	差分LVDS输出对OUT6	INP1/INN1为输入
OUTP7, OUTN7	28, 29	输出	差分LVDS输出对OUT7	
OUTP8, OUTN8	32, 33	输出	差分LVDS输出对OUT8	
OUTP9, OUTN9	34, 35	输出	差分LVDS输出对OUT9	
OUTP10, OUTN10	36, 37	输出	差分LVDS输出对OUT10	
OUTP11, OUTN11	38, 39	输出	差分LVDS输出对OUT11	

引脚配置表(续表)

名称	序号	类型	描述
V _{AC_REF0}	7	输出	用于输入交流耦合的偏置电压, 如果使用此引脚, 建议在此引脚附近增加一个0.1uF的电容。
V _{AC_REF1}	4	输出	用于输入交流耦合的偏置电压, 如果使用此引脚, 建议在此引脚附近增加一个0.1uF的电容。
NC	10		无电气连接
EN	1	输入且内部有200kΩ的上拉和下拉电阻	控制引脚-使能或关闭输出(详细信息见“输出控制表”)
Thermal Pad		地	芯片地, 散热PAD必须焊接到地。

输出控制表

EN	描述
0	所有输出关闭(逻辑“0”)
浮空	所有输出开启
1	OUT0到OUT5开启, OUT6到OUT11关闭(逻辑“0”)

绝对最大额定值

符号	描述	最小值	最大值	单位
V_{CC}	电源电压	-0.3	2.8	V
V_I	输入电压	-0.2	$V_{CC}+0.2$	V
V_O	输出电压	-0.2	$V_{CC}+0.2$	V

建议工作条件

符号	描述	最小值	典型值	最大值	单位
T_A	环境温度	-55	25	125	°C
V_{CC}	电源电压	2.375	2.5	2.625	V

ESD额定值

符号	描述	条件	额定值	单位
V_{ESD}	静电放电	静电放电人体模型 (HBM)	±2000	V
		静电放电充电设备模型 (CDM)	±1000	V

电学特性

测试条件为 $V_{CC} = 2.375\text{ V}$ 至 2.625 V ， $T_A = -40^\circ\text{C}$ 至 85°C （不包括特别注明的）

符号	参数	测试条件	最小值	典型值	最大值	单位
EN控制输入特性						
V_{dI3}	3态	EN引脚浮空		$0.5 \times V_{CC}$		V
V_{dIH}	输入高电平		$0.7 \times V_{CC}$			V
V_{dIL}	输入低电平				$0.3 \times V_{CC}$	V
$R_{pull(EN)}$	输入上拉/下拉电阻			200		k Ω
2.5 V LVCMOS输入特性						
f_{IN}	输入频率	单端输入			200	MHz
V_{th}	输入阈值电压	单端输入	1.1		1.5	V
V_{IH}	输入高电平	单端输入	$V_{th}+0.1$		V_{CC}	V
V_{IL}		单端输入	0		$V_{th}-0.1$	V
C_{IN}				2.5		pF
差分输入特性						
f_{IN}	输入频率	时钟输入，测试时使用差分输入摆幅 $V_{IN,DIFF}=800\text{mV}$ 的信号			800	MHz
$V_{IN,DIFF}$	输入峰峰值电压	$V_{ICM}=1.25\text{ V}$	0.3		1.6	V _{pp}
V_{ICM}	输入共模电压范围	$V_{IN,DIFF,PP}>0.4\text{ V}$	1.0		$V_{CC}-0.3$	V
C_{IN}				2.5		pF
LVDS输出特性						
$ V_{OD} $	输入频率	$V_{IN,DIFF,PP}=0.3\text{ V}$ ， $R_L=100\Omega$	250	400	450	mV
V_{OC}	输出共模电压		1.1	1.25	1.375	V
V_{ring}	输出过冲和下冲	占VOD的百分比			10%	
I_{CC100}	功耗	所有输出打开， $R_L=100\Omega$ ， $f=100\text{ MHz}$		120	133	mA
I_{CC800}	功耗	所有输出打开， $R_L=100\Omega$ ， $f=800\text{ MHz}$		140	177	mA
t_r/t_f	输出上升下降时间	20%至80%， 100Ω 。		220	300	ps
t_{RJt}	随机附加抖动（输入信号50%占空比）	100MHz测试使用LVPECL作为输入信号，737.27MHz使用LVDS作为信号源			300	fs
t_{PD}	输入输出延迟	输入为差分峰峰值为400mV的方波信号		2.25	2.5	ns

t_{SK,O_WB}	Bank 内 时 钟 偏斜				45	ps
t_{SK,O_BB}	Bank 之 间 的 时 钟 偏 斜	所有输入相位相同			75	ps
VAC_REF特性						
V_{AC_REF}	输出参考电压	$V_{CC}=2.5\text{ V}$	1.1	1.25	1.35	V
100 MHz时钟下附加相位噪声特性典型值						
phn_{100}	在100Hz频偏处相位噪声			-106.17		dBc/Hz
phn_{1k}	在1kHz频偏处相位噪声			-134.12		dBc/Hz
phn_{10k}	在10kHz频偏处相位噪声			-145.31		dBc/Hz
phn_{100k}	在100kHz频偏处相位噪声			-151.14		dBc/Hz
phn_{1M}	在1MHz频偏处相位噪声			-155.61		dBc/Hz
Phn_{10M}	在10MHz频偏处相位噪声			-157.10		dBc/Hz
Phn_{20M}	在20MHz频偏处相位噪声			-157.12		dBc/Hz
t_{RJT}	随机附加抖动积分区间10kHz至20MHz			68		fs,RMS
737.27 MHz时钟下附加相位噪声特性典型值						
phn_{100}	在100Hz频偏处相位噪声			-105.65		dBc/Hz
phn_{1k}	在1kHz频偏处相位噪声			-126.39		dBc/Hz
phn_{10k}	在10kHz频偏处相位噪声			-136.23		dBc/Hz
phn_{100k}	在100kHz频偏处相位噪声			-141.55		dBc/Hz
phn_{1M}	在1MHz频偏处相位噪声			-144.28		dBc/Hz
Phn_{10M}	在10MHz频偏处相位噪声			-149.67		dBc/Hz
Phn_{20M}	在20MHz频偏处相位噪声			-152		dBc/Hz
t_{RJT}	随机附加抖动积分区间10kHz至20MHz			52.24		fs,RMS

典型特性

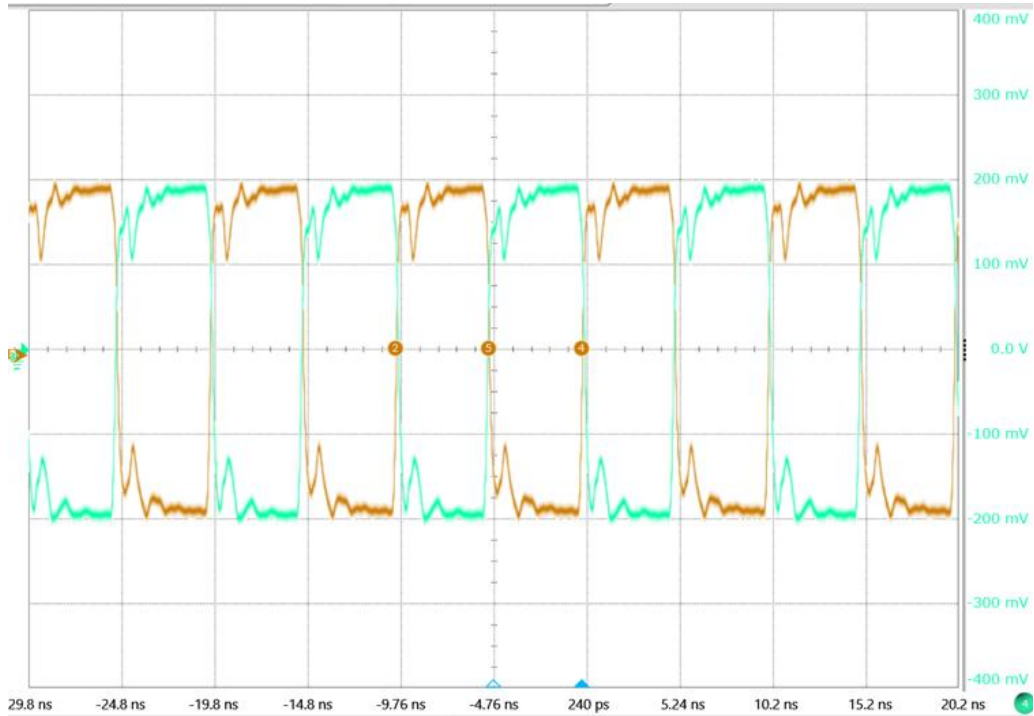


图 MBUFLVD2106 100MHz输出信号波形

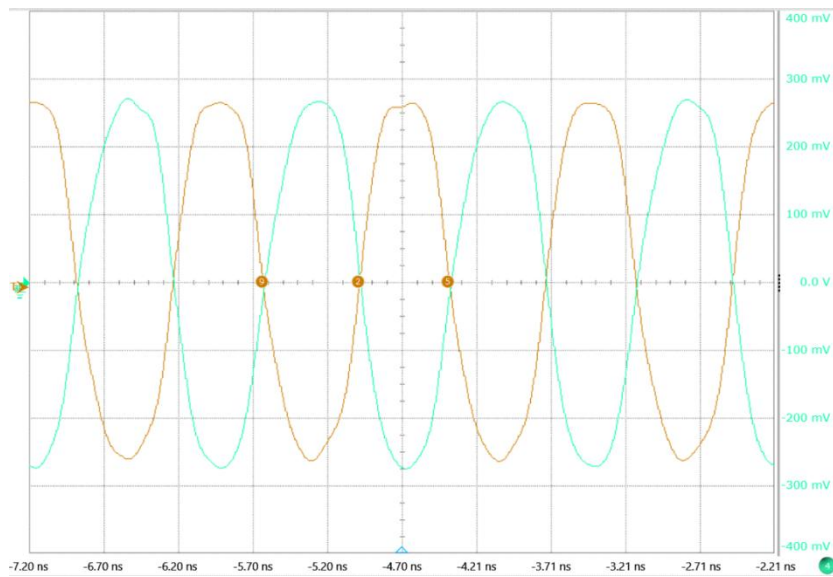


图 MBUFLVD2106 800MHz输出信号波形

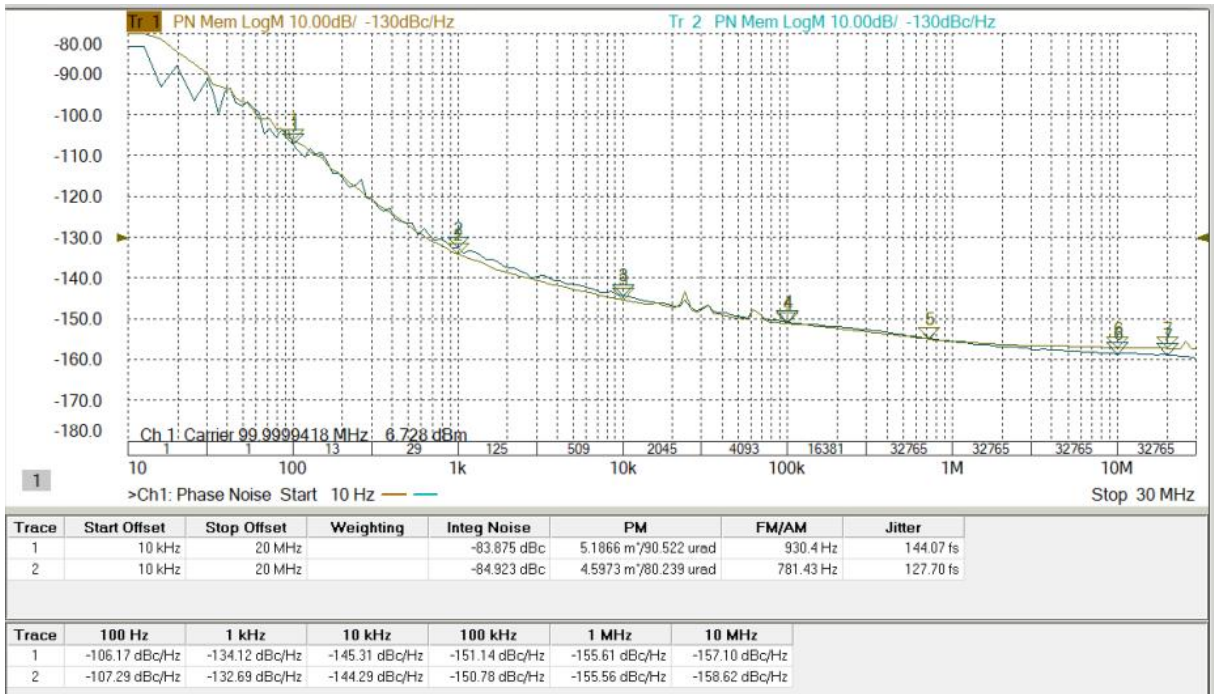


图 MBUFLVD2106在100MHz时相位噪声曲线

输入时钟在积分区间10kHz到20MHz 中RMS jitter为127.70 fs，以及附加抖动为68 fs。

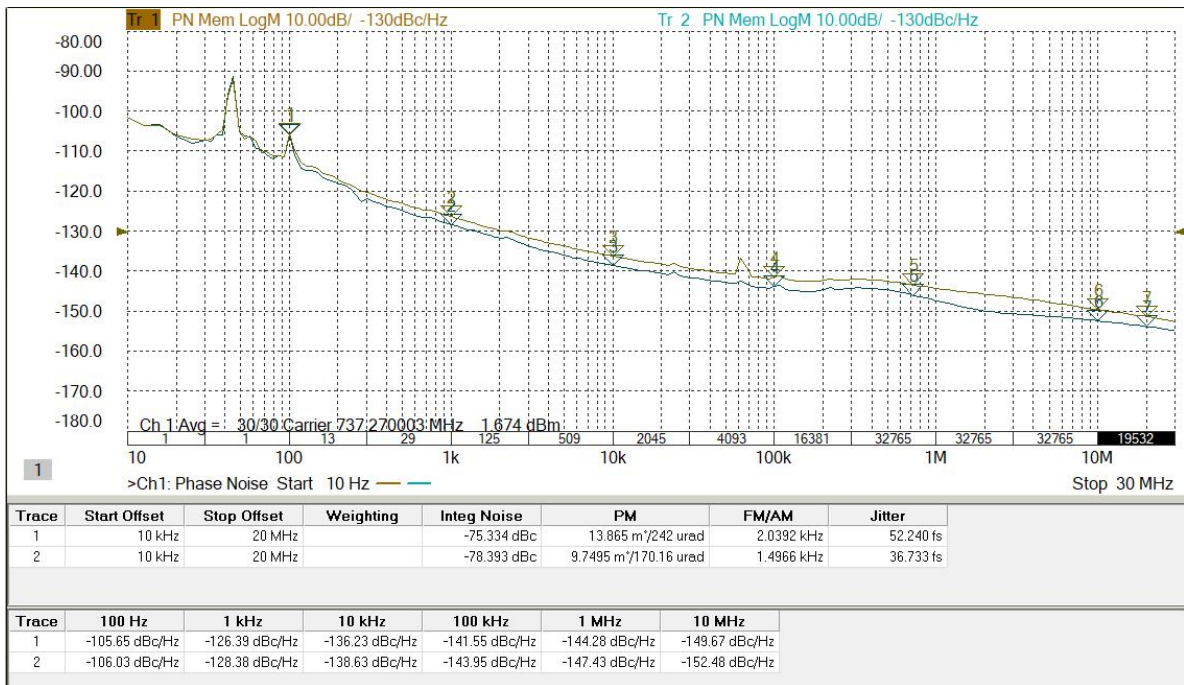


图 MBUFLVD2106在737.27MHz时相位噪声曲线

输入时钟在积分区间10kHz到20MHz的RMS jitter为36.7 fs，输出jitter为52.24 fs，附加抖动为37.2 fs。

测试配置

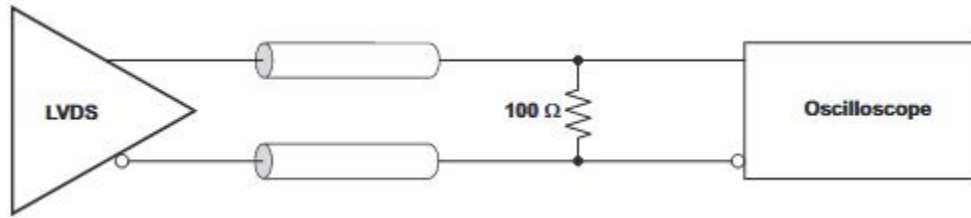


图 LVDS输出直流耦合测试

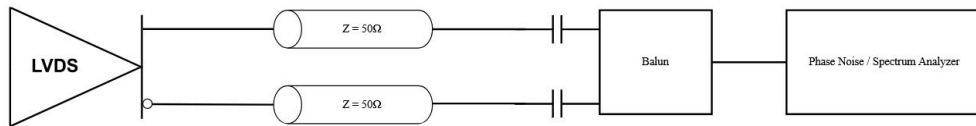


图 LVDS输出交流耦合以及相位噪声测试配置

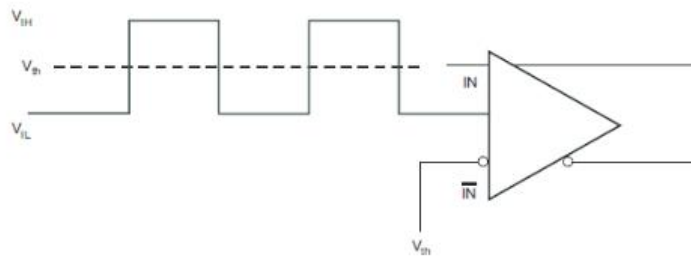


图 直流耦合LVCMOS输入

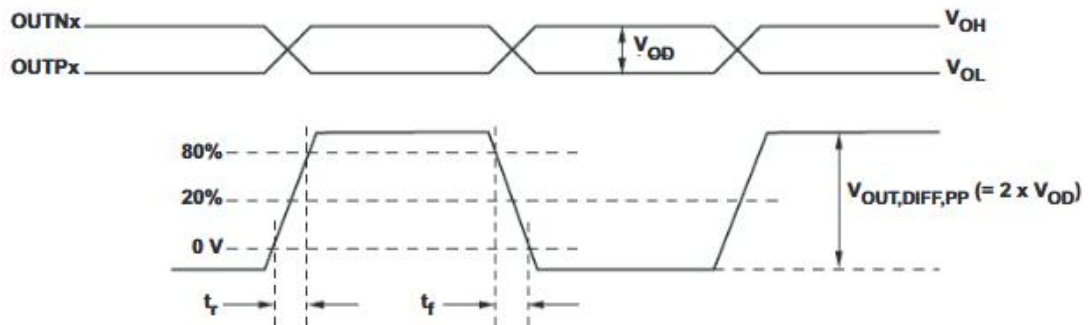


图 输出电压以及上升/下降时间

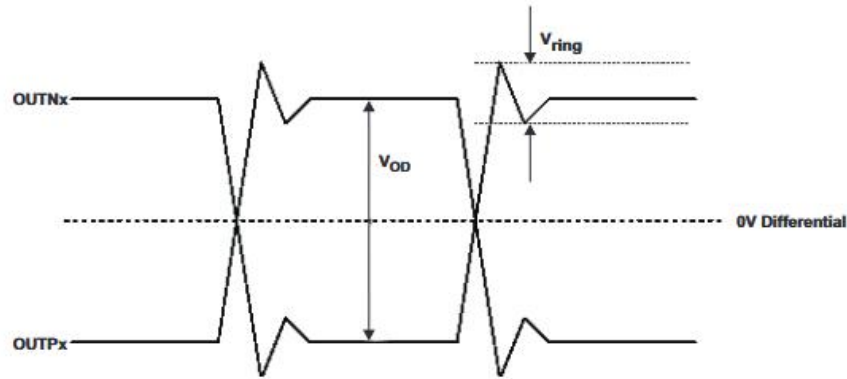


图 输出过冲和下冲

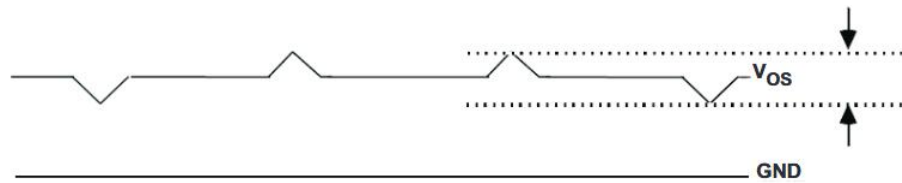


图 输出AC共模

应用信息

热管理

出于可靠性和性能方面的考虑，芯片温度范围限制在最高125°C。该器件有一个外露焊盘，它是向印刷电路板（PCB）进行热量传导的主要散热路径。为使封装的热量有效散发，PCB上在封装占位范围内，必须设计包含多个过孔的热焊盘图形并连接到接地层。该热焊盘必须焊接好，以确保向封装提供足够的热传导。

电源滤波

高性能时钟缓冲器对电源噪声很敏感，电源噪声会大幅增加附加抖动。因此，降低系统电源噪声至关重要，尤其是在抖动/相位噪声对应用非常关键的情况下。

滤波电容用于消除电源的低频噪声，其中旁路电容为高频噪声提供低阻抗通路，保护电源系统免受感应波动影响。这些旁路电容还能根据器件需求提供瞬时电流浪涌，且应具有极低的等效串联电阻（ESR）。为了合理使用旁路电容，必须将其紧邻电源引脚放置，并采用短导线环路以尽量减小电感。建议在封装的电源引脚处添加许多高频（例如0.1 μF ）旁路电容。在板级电源和时钟缓冲器产生的高频开关噪声之间插入一个铁氧体磁珠并非强制要求，但这样做可防止开关噪声泄漏到板级电源中。选择直流电阻极低的合适铁氧体磁珠，因为必须在板级电源和芯片电源之间提供足够的隔离，同时使电源引脚处的电压高于芯片正常工作所需的最低电压。

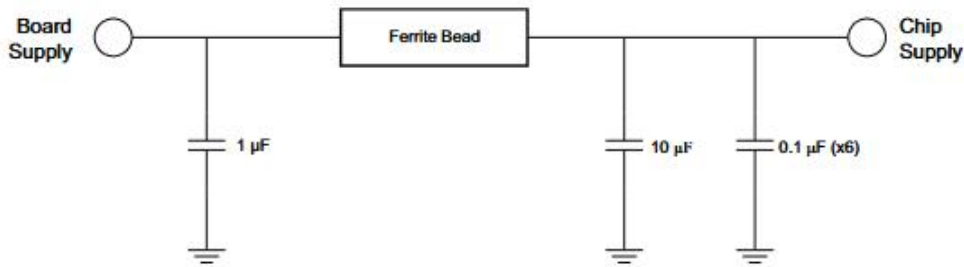


图 电源滤波

输出连接方式

为实现两条 50Ω 线路上的信号完整性，合适的 LVDS 端接方式是在接收端输出端之间采用 100Ω 端接。对于 LVDS 输出，直流耦合端接或交流耦合端接均可采用。端接电阻应靠近接收器放置。由于 MBUFLVD2106 的接收器内部偏置电压不同于 100Ω 端接模式电压，因此应采用交流耦合方式。若 LVDS 接收器无内部端接，则必须进行外部端接。

未使用的输出引脚可悬空，无需连接任何走线到输出引脚。

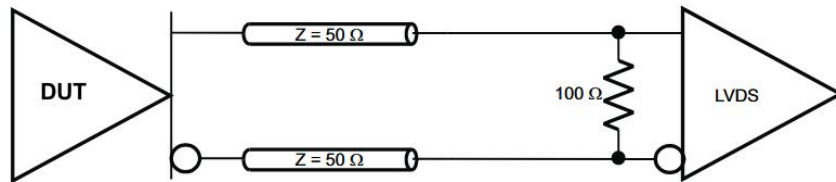


图 LVDS输出DC耦合连接

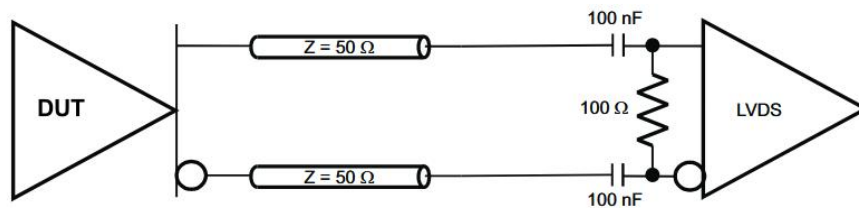


图 LVDS输出交流耦合，接收器带有内部偏置

输入连接方式

MBUFLVD2106输入支持LVDS，LVPECL，或者LVCMOS驱动器。LVDS驱动可以以直流耦合或者交流耦合的方式连接到MBUFLVD2106输入。

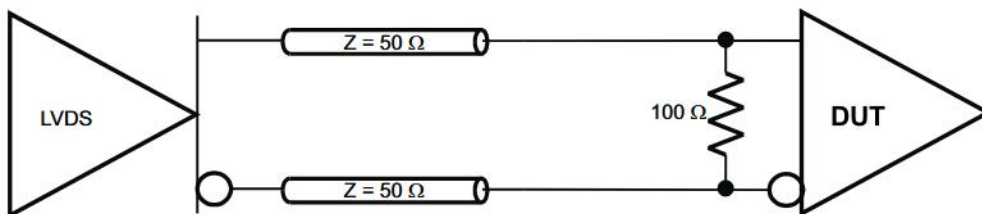


图 LVDS时钟驱动器连接到MBUFLVD2106输入（DC耦合）

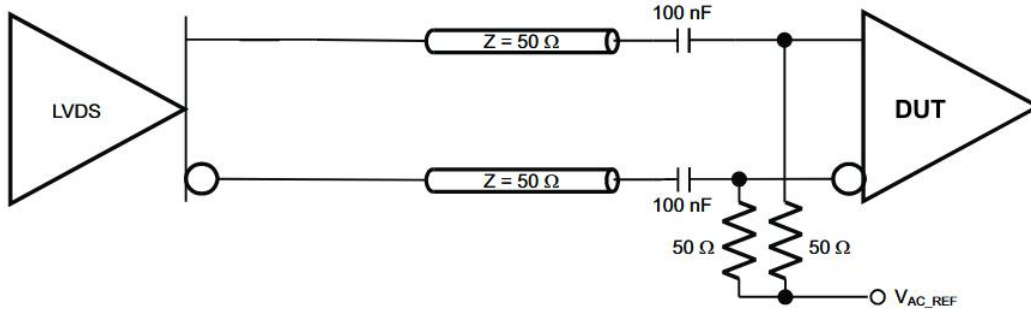


图 LVDS时钟驱动器连接到MBUFLVD2106输入（AC耦合）

下图举例了如何连接LVPECL驱动器到MBUFLVD2106，串联电阻的作用是降低信号的摆幅至1.6V_{PP}以下。

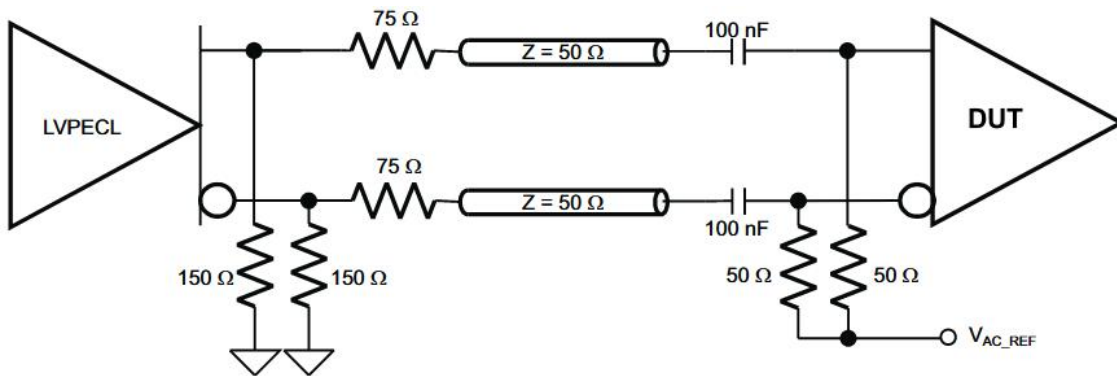


图 LVPECL时钟驱动器连接到MBUFLVD2106输入

下图举例了如何直接耦合一个2.5 V的LVCMOS时钟到MBUFLVD2106，如果需要串联电阻，串联电阻 R_s 应该靠近LVCMOS驱动器放置。3.3 V的LVCMOS时钟输入摆幅需要限制到 $V_{IH} \leq V_{CC}$ 。

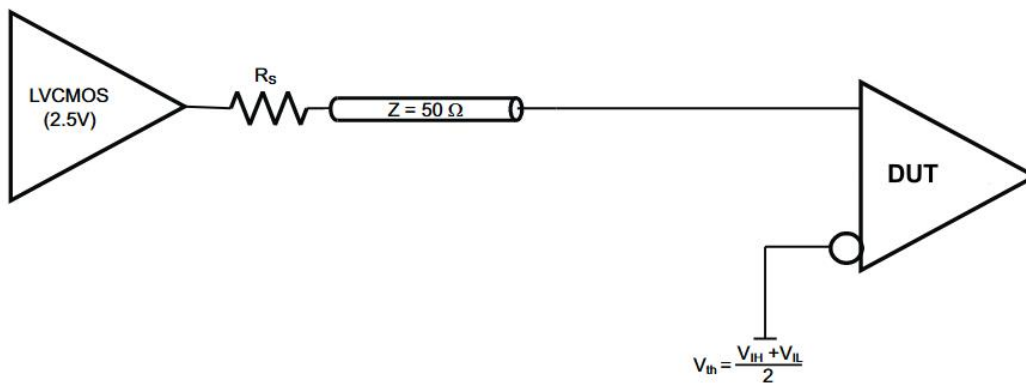
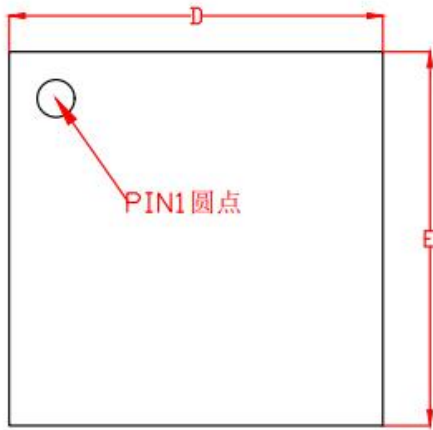


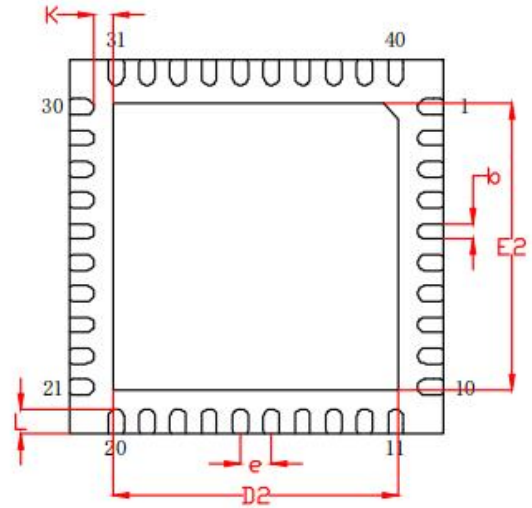
图 2.5 V LVCMOS时钟驱动器连接到MBUFLVD2106输入

如果只需要使用两个输入中的一个，则需要通过EN引脚将另外一个关闭，未使用的输入应当下拉1kΩ到地。

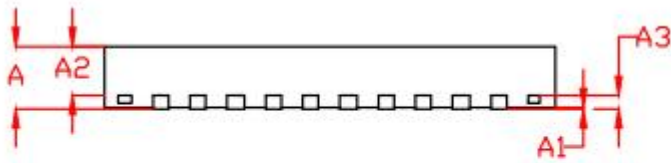
封装外形图



TOP VIEW



BOTTOM VIEW



SIDE VIEW

SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
A2	0.50	0.55	0.60
A3	0.203REF		
b	0.20	0.25	0.30
D	5.90	6.00	6.10
E	5.90	6.00	6.10
D2	4.50	4.60	4.70
E2	4.50	4.60	4.70
e	0.50BSC		
K	0.30REF		
L	0.30	0.40	0.50